

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



534 304

(43) Internationales Veröffentlichungsdatum  
27. Mai 2004 (27.05.2004)

PCT

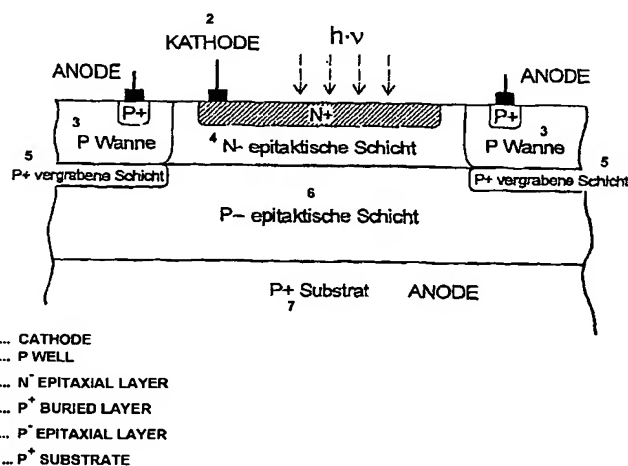
(10) Internationale Veröffentlichungsnummer  
WO 2004/044994 A2

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 31/105, 31/0352, 31/0224
- (21) Internationales Aktenzeichen: PCT/DE2003/003739
- (22) Internationales Anmeldedatum:  
12. November 2003 (12.11.2003)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
102 52 878.0 12. November 2002 (12.11.2002) DE
- (61) Zusatzanmeldung zu früherer Anmeldung oder früherem Patent:  
DE Nicht mitgeteilt (POA)  
Angemeldet am 12. November 2003 (12.11.2003)
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): X-FAB SEMICONDUCTOR FOUNDRIES AG [DE/DE]; Haarbergstrasse 67, 99097 Erfurt (DE).
- (72) Erfinder; und  
(75) Erfinder/Anmelder (nur für US): EINBRODT, Wolfgang [DE/DE]; Hermann-Brill-Strasse 89, 99099 Erfurt (DE). ZIMMERMANN, Horst [DE/AT]; Heinrich-Collin-Strasse 29 bis 31, Stiege 3/6, A-1140 Wien (AT). FOERTSCH, Michael [AT/AT]; Linzerstrasse 192/1/7, A-1140 Wien (AT).
- (74) Anwälte: LEONHARD, Reimund usw.; Leonhard Olge-moeller Fricke, Postfach 10 09 62, 80083 München (DE).
- (81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) Bestimmungsstaaten (regional): ARIPO-Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU,

[Fortsetzung auf der nächsten Seite]

(54) Title: MONOLITHICALLY INTEGRATED VERTICAL PIN PHOTODIODE USED IN BICMOS TECHNOLOGY

(54) Bezeichnung: MONOLITHISCH INTEGRIERTE VERTIKALE PIN-FOTODIODE IN BICMOS-TECHNOLOGIE



(57) Abstract: The invention relates to a monolithically integrated vertical pin photodiode which is produced according to BiCMOS technology and comprises a planar surface (30) facing the light ( $h \cdot \nu$ ) and a rear face (31), and anode connections (A1, A2) located across p areas (20, 21) on a top face of the photodiode. An i zone of the pin photodiode is formed by combining a low doped first p<sup>-</sup> epitaxial layer (10,  $d_{10}$ ) which has a maximum thickness of essentially 15  $\mu$ m and a doping concentration of less than  $5 \cdot 10^{14} \text{ cm}^{-3}$  and is placed on a particularly high doped p substrate (10), with a low doped second n<sup>-</sup> epitaxial layer (9) that borders the first layer (10) and has a doping concentration ranging substantially between  $10^{14} \text{ cm}^{-3}$  and  $10^{15} \text{ cm}^{-3}$ , an n<sup>+</sup> cathode (K) of the pin photodiode being integrated into said second layer (9). p areas (20, 21) delimit the second n epitaxial layer (9) in a latent direction while another anode-connecting area (A3) of the pin diode is provided on the rear face (31) in addition to the anode connections (A1, A2).

[Fortsetzung auf der nächsten Seite]

WO 2004/044994 A2



TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Erklärung gemäß Regel 4.17:**

— Erfindererklärung (Regel 4.17 Ziffer iv) nur für US

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**(57) Zusammenfassung:** Die Erfindung betrifft eine monolithisch integrierte vertikale pin-Fotodiode, hergestellt in BiCMOS-Technologie, mit einer planaren, zum Licht (hv) gewandten Oberfläche (30) und einer Rückseite (31) und mit Anodenanschlüssen (A1, A2) über p-Gebiete (20, 21) auf einer Oberseite der Fotodiode wobei eine i-Zone der pin-Fotodiode gebildet wird durch Kombination einer niedrig dotierten, bis maximal im wesentlichen 15µm dicken ersten p<sup>-</sup>-Epitaxieschicht (10,d<sub>10</sub>) mit einer Dotierungskonzentration unter 5\*10<sup>14</sup> cm<sup>-3</sup>, die sich auf einem - insbesondere hoch-dotierten - p-Substrat (10) befindet, mit einer an die erste Schicht (10) angrenzenden, niedrig dotierten zweiten n<sup>-</sup>-Epitaxieschicht (9) mit einer Dotierung in einem Bereich von im wesentlichen 10<sup>14</sup> cm<sup>-3</sup> bis 10<sup>15</sup> cm<sup>-3</sup>, in welche zweite Schicht (9) eine n<sup>+</sup>-Kathode (K) der pin-Fotodiode eingebracht ist und wobei in einer lateralen Richtung p-Gebiete (20, 21) die zweite n-Epitaxieschicht (9) begrenzen und zusätzlich zu den Anodenanschlüssen (A1, A2) ein weiterer Anodenanschlussbereich (A3) der pin-Diode auf der Rückseite (31) vorhanden ist.

## Monolithisch integrierte vertikale pin-Fotodiode in BiCMOS-Technologie

---

Die Erfindung betrifft eine in BiCMOS-Technologie monolithisch integrierte verbesserte vertikale pin-Fotodiode und ein Verfahren zu ihrer Herstellung.

Diskrete pin-Fotodioden mit bis zu einigen 10µm dicker, niedrig dotierter i-Zone in Siliziumtechnologie sind Stand der Technik. Bei monolithisch auf Silizium-Chips integrierten pin-Fotodioden hingegen hat man das Problem zu lösen, daß die Dotierung des Substrats im Bereich von  $10^{15} \text{ cm}^{-3}$  und bei CMOS-Wannen und n-Kollektoren/epitaktischen Schichten bei pnp-Transistoren in Bipolar- und BiCMOS-Technologie weit darüber liegt. Deshalb sind in unmodifizierten SBC-Technologie (Standard-Buried-Kollektor-Technologie) basierten Bipolar- und BiCMOS-Prozessen nur pin-Fotodioden mit dünner (ca. 1µm in moderneren Prozessen) i-Zone möglich, was zu einem niedrigen Wirkungsgrad von ca. 26% bei 650/670nm und zu einem noch niedrigeren bei größeren Wellenlängen (von ca. 10% bei 850nm) führt, wie das z.B. bei Lim et al., Digest Technical Papers ISSCC 1993, pp. 96 bis 97 und bei Kuchta et al., IBM Journal Res. Develop. 39, pp 63 bis 72, 1995 zu entnehmen ist.

Dieses Problem wurde für pin-Dioden, die in bipolaren Schaltkreisen auf Silizium-Substraten integriert sind, mit einem aufwendigen in den Prozeß zusätzlich hineingenommenen Zweischrיתהpitaxieverfahren gelöst, um eine 15µm dicke, niedrig dotierte i-Zone zu erzeugen, siehe Yamamoto et al., IEEE Trans. Electron Dev. 42 (1), pp. 58 bis 63, 1995. Dazu sind jedoch mindestens drei zusätzliche Maskenschritte notwendig, wodurch sich der Prozeß wesentlich verteuert. Eine andere Lösung sind sogen. laterale Trench-pin-Fotodioden, vgl. Yang et al., IEEE Elektron. Dev. Lett., pp. 395 bis 397, 2002, die jedoch einen noch höheren zusätzlichen Integrationsaufwand erfordern.

In CMOS-Technologie ist die pin-Fotodioden-Integration bereits gelöst worden, vgl. Zimmermann et al., IEEE Photonics Technology Letters 11, pp.254 bis 256. Hier wurde die i-Zone durch eine auf das n<sup>+</sup>-Substrat aufgebrachte niedrig dotierte n-Epitaxieschicht realisiert. Ein zusätzlicher Maskenschritt war erforderlich.

Ziel der Erfindung und damit **Problemstellung** für die Erfindung ist es, in BiCMOS-Technologie integrierte vertikale Fotodioden hinsichtlich ihrer Geschwindigkeit und ihres Wirkungsgrades zu verbessern, ohne den Herstellungsaufwand (wesentlich) zu vergrößern.

Mit der Erfindung erreicht werden kann eine Verbesserung der Daten von OEIC's (optoelectronic integrated circuits), basierend auf der BiCMOS-Technologie und damit eine Erweiterung ihres Anwendungsbereichs.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß die i-Zone der pin-Diode (oder pin-Fotodiode) durch die Kombination einer mit einer niedrigen Dotierungskonzentration von insbesondere ca.  $10^{13}\text{cm}^{-3}$  versehenen bis zu ca. 15  $\mu\text{m}$  dicken p-Epitaxieschicht (bei dünnerer p-Epitaxieschicht genügt eine höhere Dotierung), die sich auf dem hochdotierten p<sup>+</sup>-Substrat befindet, mit einer an diese angrenzenden, mit bevorzugt im wesentlichen  $10^{14}\text{cm}^{-3}$  dotierten n-Epitaxieschicht, in die die n<sup>+</sup>-Kathode der pin-Fotodiode eingebracht ist, gebildet wird und seitlich in lateraler Richtung die n-Epitaxieschicht durch p-Wannen-Gebiete (p-wells) begrenzt wird und unter den p-Wannen-Gebieten befindliche vergrabene p-Schichten in die p-Epitaxieschicht hineingreifen.

Zu den Anodenanschlüssen über die zur lateralen Isolation der pin-Fotodiode verwendeten p-Wannen auf der Oberseite des Chip ist zusätzlich ein Anodenkontakt (flächig oder als Kontakt) auf der Unterseite des Chips vorgesehen. Dazu kann zumindest in diesen rückseitigen Anodenbereich das Substrat abgedünnt werden (Anspruch 3).

Auf den Rückseitenkontakt kann verzichtet werden, wenn der Serienwiderstand der Fotodiode bei auf der planaren Vorderseite - in an sich bekannter Weise - kontaktierten Anode nicht zu groß wird (Anspruch 4). So können z.B. tiefe Grabenkontakte von oben her zur Reduzierung des Serienwiderstandes angebracht werden (Anspruch 5).

Zum besseren Verständnis, wie eine solche Fotodioden-Konstruktion mit einem minimalen technologischen Zusatzaufwand in BiCMOS-Technologie realisiert werden kann, sei kurz auf die hierfür wesentlichen Teile des verwendeten BiCMOS-Standardprozesses eingegangen.

Das für den BiCMOS-Standardprozess verwendete Ausgangsmaterial ist eine p-Siliziumscheibe mit einem spezifischen elektrischen Widerstand von beispielsweise 20  $\Omega\text{cm}$  ( $\Omega\text{cm}$ ). Nach der Implementierung einer vergrabenen Schicht wird auf das Substrat eine etwa 1  $\mu\text{m}$  dicke, relativ hoch dotierte, bspw.  $10^{15}\text{cm}^{-3}$  dotierte, n-Epitaxieschicht aufgebracht. In diese werden im weiteren Prozeßverlauf n- und p-Wannen (CMOS-Wannen) als Gebiete implantiert. Die n-Wanne dient gleichzeitig zur

Erzeugung der Kollektordotierung des npn-Transistors. Die Dotierungskonzentration der n-Wanne ist höher als die der n-Epitaxieschicht.

Erfindungsgemäß wird für den Aufbau der pin-Fotodiode so vorgegangen, daß als Ausgangsmaterial eine  $p^+$ -Siliziumscheibe mit einer ca. 15µm dicken  $p^-$ -Epitaxieschicht und einer niederen Dotierungskonzentration von bevorzugt im wesentlichen  $10^{13} \text{cm}^{-3}$  eingesetzt wird. Die nach der Implementierung der vergrabenen Schicht standardmäßig folgende n-Epitaxieschicht wird mit einer auf in einen Bereich um  $10^{14} \text{cm}^{-3}$  herabgesetzten Dotierungskonzentration abgeschieden. Für diese beiden Prozeßmodifikationen ist keine zusätzliche Maske notwendig, da der BiCMOS-Standardprozeß die Option zum Ausblenden der n- und p-Wannen sowie der vergrabenen p-Schicht aus dem Fotodiodengebiet standardmäßig enthält.

Um einen zu hohen Serienwiderstand der pin-Fotodoide zu vermeiden, wird nicht nur die zur lateralen Isolation der pin-Fotodiode verwendete p-Wanne als Anodenanschluß verwendet, sondern zusätzlich ein Rückseitenkontakt auf der Unterseite des ggf. zumindest in diesem Bereich abgedünnten Substrats. Es genügt z.B. das Aufbringen des abgedünnten Chip mit einem leitfähigen Kleber auf einen Lead-Frame oder eine leitende Fläche einer Platine.

. . .

Die Erfindung wird verdeutlicht anhand schematischer Zeichnungen in Ausführungsbeispielen.

- Fig. 1      verdeutlicht in einem Ausführungsbeispiel einen Aufbau einer pin-Diode.
- Tab. 1      zeigt Meßergebnisse und einen Vergleich.
- Fig. 2      verdeutlicht in einem zweiten Ausführungsbeispiel einen Aufbau einer pin-Fotodiode.
- Fig. 3      stellt den Verlauf des elektrischen Feldes dar, wie er sich beim bisherigen BiCMOS-Standardprozeß für das pin-Diodengebiet ergibt.
- Fig. 4      zeigt den Verlauf des elektrischen Feldes wie er sich für das pin-Diodengebiet beim Aufbau nach Figur 1 oder Figur 2 einstellt (durchgezogene Linie) und für den Fall, daß die Dotierungskonzentration in der n-Epitaxieschicht 9 nicht auf einen Betrag von im wesentlichen  $10^{14} \text{ cm}^{-3}$  bis  $10^{15} \text{ cm}^{-3}$  herabgesetzt ist (gestrichelte Linie). Daraus geht hervor, daß die p-Epitaxieschicht 10 allein das Problem nicht löst.

In Tabelle 1 sind die Meßergebnisse von im unmodifizierten und im modifizierten BiCMOS-Prozess implementierten Fotodioden aufgelistet. Es ist ersichtlich, daß mit den erfindungsgemäßen Modifikationen für eine Wellenlänge von 670 nm eine integrierte Fotodiode mit einem Quantenwirkungsgrad von über 95% erzielbar ist, deren geringe Anstiegs- und Abfallzeiten eine verarbeitbare Bitrate von bis zu 1 Gbit/s erlauben. Eine niedrige Sperrschichtkapazität  $C_D$  macht vergrößerte Fotodiodenflächen möglich, was ein weiterer Vorteil ist.

Figur 1 veranschaulicht das Ausführungsbeispiel nach dem Verständnis der Ansprüche 20 bis 25, unter Berücksichtigung der zugehörigen Erläuterungen auf den Seiten 2 und 3.

In einem weiteren Ausführungsbeispiel nach Figur 2 werden vorhandene Schichten und Aufbauten eingehender erläutert. Die Figur 2 veranschaulicht eine vertikale Struktur einer pin-Fotodiode. Die intrinsische I-Zone wird durch zwei jeweils niedrig dotierte, epitaktische aufgebraute Schichten 9, 10 gebildet. Die auf das Substrat 11 folgende Schicht ist vom P-Typ. Die nochmals folgende Schicht ist vom N-Typ. Um einen solchen Aufbau zu erzielen, wird ein standardmäßiger BiCMOS-Prozess mit Modifikationen verwendet.

Üblicherweise wird für den Standard-Prozess ein Ausgangsmaterial eingesetzt, das von einem P-Typ Wafer ausgeht, mit einem spezifischen Widerstand von ca.  $20 \Omega\text{cm}$ . Statt dieses Typs wird hier ein modifizierter, aber auch käuflicher Wafer verwendet, der eine epitaktisch aufgebraute, niedrig dotierte P-Schicht, beispielsweise von einer Dicke von  $15 \mu\text{m}$  aufweist, wobei die Dotierung im Beispiel bei  $10^{13} \text{ cm}^{-3}$  liegen kann. Die ist die Schicht 10.

Im Standardprozess wird nach der Implementierung vergrabener Schichten 23, 22 auf das Substrat eine zum Beispiel etwa  $1 \mu\text{m}$  Dicke, relativ hoch dotierte N-Schicht aufgebraut. Diese epitaktische Schicht 9 kann in einem Bereich von  $10^{15} \text{ cm}^{-3}$  dotiert sein. Es werden dann im weiteren Prozessverlauf N-Typ und P-Typ Wannen implantiert, wie bei einem BiCMOS-Verfahren.

Die N-Wanne 25 dient gleichzeitig der Erzeugung der Kollektordotierung und dem Anschluß einer Kathode K. Die Dotierung der P-Wannen greift in die N-Schicht 9 ein und reicht bis zu den vergrabenen Schichten 23, 22. Die P-Wannen 20, 21 tragen P-Dotierungszonen zur Aufnahme der Anoden A1, A2.

Auf der Oberseite der so ausgebildeten Siliziumscheibe, welche Oberseite oder Lichtseite 30 benannt ist, sind die Anode A1, A2 und der Kathoden sowie die Licht aufnehmende Kollektorzone 25 vorgesehen. Diese Schicht kann im wesentlichen gerade oder eben verlaufen.

Auf der anderen Seite der Oberseite ist eine Unterseite oder Gegenseite 31 gebildet, welche dem Substrat 11 nachfolgt. Diese Rückseite ist auch mit einer Anode A3 belegt, welche als Flächenanode oder als lokal begrenzte Anode ausgebildet sein kann. Sie wird als Rückseitenanode bezeichnet und bildet einen Anoden-Anschlußbereich der pin-Diode auf der Rückseite 31, welche Anode zusätzlich zu den Anoden A1, A2 auf der Lichtseite (Oberseite) hinzukommt.

Die epitaktische Schicht 9 wird randseitig (lateral bzw. seitlich) von P-Gebieten 20, 21 begrenzt, welche im vertikalen Schnitt dargestellt sind.

Strukturell kann der Bereich der Rückseitenanode höher bzw. tiefer gelegt werden, was durch ein nicht dargestelltes Abdünnen oder Reduzieren der Dicke der Siliziumscheibe erfolgt.

Die Anschluß-Kontaktierung erfolgt bevorzugt nur von der Oberseite 30 her, und zwar hinsichtlich aller dargestellter Anoden A1, A2 und A3.

Es können Grabenkontakte vorgesehen sein, um einen oder mehrere Anodenanschlüsse durch diese Grabenkontakte, insbesondere relativ tiefe Grabenkontakte herzustellen. Diese Graben sind nicht gesondert dargestellt.

Unter den Begriffen hoch- bzw. niedrig-dotiert wird hinsichtlich der aufgewachsenen Epitaxieschicht 9 eine Dotierung von etwa  $10^{14} \text{ cm}^{-3}$  verstanden. Die Dotierung der ersten Epitaxieschicht 10, welche auf das Substrat 11 aufgewachsen ist oder dort schon vorhanden ist, hat eine bevorzugt niedrige Dotierungskonzentration im Bereich von  $10^{13} \text{ cm}^{-3}$ .

Wenn die Dotierungskonzentration der obersten Schicht 9 abgesenkt wird, erhält man eine schnelle pin-Fotodiode, was sich durch die in der Tabelle 1 gezeigten geringen Anstiegs- und Abfallzeiten manifestiert. Der Transistor merkt nicht viel von dieser Absenkung der Dotierungskonzentration, d.h. die Transitzeit und der Stromverstärkungs-Faktor werden nur gering oder kaum verändert.

Die zwei Modifikationen zum Standard-Herstellungsprozess eines BiCMOS-Verfahrens liegen darin, dass ein P-Wafer mit einer epitaktisch aufgebracht, niedrig dotierten P-Schicht als Ausgangsstoff verwendet wird. Diese epitaktische Schicht ist niedrig dotiert. Die zweite Modifikation besteht darin, die Dotierungskonzentration der darauf aufgebracht, weiteren epitaktischen Schicht, hier der N-Schicht 9 ebenfalls niedrig zu gestalten. Für beide Prozessmodifikationen ist gegenüber einem Standardprozess keine zusätzliche Maske notwendig.

Das Herstellverfahren ist somit bereits vollumfänglich beschrieben, mit Bezug auf standardmäßige BiCMOS Herstellungen und zugehörige Abweichungen, im Umfang der oben angegebenen Beschreibung. Das Herstellverfahren soll dennoch zusammengefasst werden. Beispielsweise die Fotodiode nach Figur 2 oder eine solche nach Figur 1 wird hergestellt durch ein Ausgangsmaterial, das eine



P-Siliziumscheibe ist, mit einer im wesentlichen maximal 15 µm epitaktisch aufgewachsenen Schicht 10. Diese hat eine Dotierung im vorgenannten Umfang, welche als niedrig bezeichnet werden kann. Es folgt eine standardmäßig verwendete N- Epitaxieschicht 9, welche aufgewachsen wird. Ihrer Dotierungskonzentration wird jedoch niedrig gehalten, im Bereich um  $10^{14} \text{ cm}^{-3}$ . Diesem Aufwachsen der genannten epitaktischen Schicht 9 war oder ist vorgelagert eine Implementierung von vergrabenen Schichten 22, 23.

Es werden anschließend die n- und p-Wannen eingebracht, um die Anoden kontaktieren zu können. Es werden auch alle weiteren standardmäßig erfolgenden Prozeßschritte der genannten Technologie ausgeführt. Dabei wird in die n-Epitaxieschicht 9 ein  $n^+$ -Gebiet 25 eingebracht, welches der Kontaktierung der Kathode K dient. Dieses Gebiet ist in Figur 2 mit 25 bezeichnet und ist der Lichtseite zugewandt, ist also die Licht aufnehmende, bzw. Oberseite 30. Seitlich, lateral, wird dieses Gebiet durch ein p-Gebiet 20, 21 begrenzt, welche um das Kathodengebiet 25 herum in die Epitaxieschicht 9 eingebracht ist und vertikal bevorzugt bis zur vergrabenen Schicht 23, 22 reicht.

Zusätzlich zu den genannten Anoden A1, A2, die in die P-Wannen eingebracht werden, wird eine weitere Anode A3 auf der Rückseite 31 aufgebracht.

In einem Herstellverfahren kann nach einem nicht dargestellten Vereinzeln der vorliegenden Chips, welche im vorgenannten Verfahren entstanden sind, ein leitfähiger Kleber aufgetragen werden, um diese Chips auf einem Lead-Frame zu befestigen. Sie können auch auf eine leitende Fläche einer Platine elektrisch kontaktierend befestigt werden. Diese erfolgt dann, wenn ein nicht ausreichend kleiner Serienwiderstand auf dem Chip vorliegt.

Vorderseitig kann eine Schutzabdeckung der Siliziumscheibe verwendet werden, während oder bevor eine Abdünnung auf der Rückseite 31 erfolgt, zumindest im Bereich der in Figur 2 dargestellten pin-Fotodiode des Siliziumkristalls. Das Ausdünnen kann durch ein Schleifen oder Polieren geschehen.

Eine andere Alternative ist es, den Anoden-Anschlußbereich (die Rückseitenanode A3) nicht speziell auszubilden und demzufolge auch nicht elektrisch zu kontaktieren. Die Anschlüsse der Anode erfolgen dann über die Anoden A1, A2 auf der Oberseite (Lichtseite).

**Patentansprüche:**

1. **Monolithisch integriert vertikale pin-Fotodiod** , hergestellt in BiCMOS-Technologie, mit einer im wesentlichen planaren, zum Licht ( $h \cdot \nu$ ) gewandten Oberfläche (30) und einer Rückseite (31) und mit Anodenanschlüssen (A1, A2) über p-Gebiete (20,21) auf einer Oberseite der Fotodiode, wobei eine i-Zone der pin-Fotodiode gebildet wird durch
  - (a) **Kombination** einer niedrig dotierten, bis maximal im wesentlichen  $15\mu\text{m}$  dicken ersten  $p^-$ -Epitaxieschicht ( $10, d_{10}$ ) mit einer Dotierungskonzentration unter  $5 \cdot 10^{14} \text{ cm}^{-3}$ , die sich auf einem - insbesondere hoch-dotierten - p-Substrat (10) befindet;
  - (b) mit einer an die erste Schicht (10) angrenzenden, niedrig dotierten zweiten  $n^-$ -Epitaxieschicht (9) mit einer Dotierung in einem Bereich von im wesentlichen  $10^{14} \text{ cm}^{-3}$  bis  $10^{15} \text{ cm}^{-3}$ , in welche zweite Schicht (9) eine  $n^+$ -Kathode (K) der pin-Fotodiode eingebracht ist;wobei in einer lateralen Richtung p-Gebiete (20,21) die zweite n-Epitaxieschicht (9) begrenzen und zusätzlich zu den Anodenanschlüssen (A1,A2) ein weiterer Anodenanschlußbereich (A3) der pin-Diode auf der Rückseite (31) vorhanden ist.
2. Pin-Fotodiode nach Anspruch 1, wobei sich unter den - die zweite n-Epitaxieschicht (9) in lateraler Richtung begrenzenden - p-Gebieten (20,21) vergrabene  $p^+$ -Schichten (22,23) befinden, die in die erste p-Epitaxieschicht (11) hineinreichen.
3. Pin-Fotodiode nach Anspruch 1, wobei zumindest im Bereich des weiteren Anodenanschlussbereichs als Rückseitenanode (A3,31) eine die Fotodiode tragende Siliziumscheibe abgedünnt ist.
4. Pin-Fotodiode nach Anspruch 1 oder 3, wobei die Anoden der pin-Fotodiode ausschließlich von der Vorderseite (30) her elektrisch kontaktiert ist bzw. sind.
5. Pin-Fotodiode nach Anspruch 4, wobei ein oder mehrere Anodenanschlüsse durch tiefe Grabenkontakte hergestellt sind.
6. Pin-Fotodiode nach Anspruch 1, wobei die niedrig dotierte  $n^-$ -Epitaxieschicht (9) eine Dotierung um im wesentlichen  $10^{14} \text{ cm}^{-3}$  besitzt.

7. Pin-Fotodiode nach Anspruch 1, wobei die Dotierungskonzentration der ersten Epitaxieschicht (10) im wesentlichen  $10^{+13} \text{ cm}^{-3}$  ist.
8. Pin-Fotodiode nach Anspruch 1, wobei die p-Gebiete (20,21) in einem vertikalen Schnitt als p-Wannen ausgestaltet sind.
9. Pin-Fotodiode nach Anspruch 8, wobei die Wannen bis an die erste Schicht (10) heranreichen, insbesondere unmittelbar an die vergrabene Schicht (23;22).
10. Pin-Fotodiode nach Anspruch 1, wobei eine Dotierung der zweiten Schicht (9) geringer ist als eine Dotierung einer n-Wanne (25) in der zweiten Schicht, welche Wanne (25) die Kollektordotierung bildet, zum Anschluss einer Kathode (K).
11. Pin-Fotodiode nach Anspruch 1, wobei innerhalb und beabstandet von den p-Gebieten (20,21) ein Kathodengebiet (K,25) vorgesehen ist.

...

- 12. Verfahren** zur Herstellung einer monolithisch integrierten vertikalen pin-Fotodiode, in BiCMOS-Technologie, wobei
- (i) als Ausgangsmaterial eine  $p^+$ -Siliziumscheibe (11) mit einer maximal im wesentlichen  $15\mu\text{m}$  dicken  $p^-$ -Epitaxieschicht (10) und einer Dotierungskonzentration von ca.  $10^{13}\text{cm}^{-3}$  dient;
  - (ii) nach einer folgenden Implementierung einer vergrabenen Schicht (22,23) eine (standardmäßig) folgende  $n$ -Epitaxieschicht (9) mit einer Dotierungskonzentration im Bereich um  $10^{14}\text{cm}^{-3}$  abgeschieden oder eingebracht wird;
  - (iii) danach  $n$ - und  $p$ -Wannen (20,21,25) und weitere standardmäßig folgende Prozeßschritte der Technologie ausgeführt werden, wobei in die  $n^-$ -Epitaxieschicht (9) eine  $n^+$ -Kathode der pin-Fotodiode eingebracht wird und (seitlich) in lateraler Richtung  $p$ -Gebiete (20,21) die  $n$ -Epitaxieschicht (9) begrenzen und zusätzlich zu (den) Anodenanschlüssen (A1,A2) über die  $p$ -Gebiete (20,21) der planaren Oberseite (30) ein weiterer Anodenanschlussbereich (A3) auf der Rückseite (31) ausgebildet wird.
- 13.** Verfahren nach Anspruch 12, wobei zum Schluß die Siliziumscheibe bei vorderseitiger Schutzabdeckung rückseitig zumindest im Bereich der pin-Diode abgedünnt wird.
- 14.** Verfahren nach Anspruch 12, wobei der Anodenanschlussbereich auf der Rückseite nicht speziell ausgebildet und nicht elektrisch kontaktiert wird.
- 15.** Verfahren nach Anspruch 12, wobei die Rückseitenanode (A3) des nach einem Vereinzeln vorliegenden Chips für den Fall eines nicht ausreichend kleinen Serienwiderstandes durch Aufbringen des Chip mit einem leitfähigen Kleber auf einen Lead-Frame oder eine leitende Fläche einer Platine elektrisch kontaktierbar ist bzw. wird.
- 16. – 19.** leer
- 20. In BiCMOS-Technologie monolithisch integrierte vertikale pin-Fotodiode**, dadurch gekennzeichnet, daß eine  $i$ -Zone der pin-Diode durch die Kombination einer niedrig dotierten bis zu im wesentlichen  $15\mu\text{m}$  dicken  $p^-$ -Epitaxieschicht einer Dotierungskonzentration von unter  $5 \cdot 10^{14}\text{cm}^{-3}$ , die sich auf einem hochdotierten  $p^+$ -Substrat befindet, mit einer an diese angrenzenden niedrig dotierten  $n^-$ -Epitaxieschicht im Dotierungsbereich um  $10^{14}\text{cm}^{-3}$ , (Dotierungsbereich von  $\leq 10^{14}\text{cm}^{-3}$  bis  $< 10^{15}\text{cm}^{-3}$ ), in die die  $n^+$ -Kathode der pin-

Fotodiode eingebracht ist, gebildet wird, wobei seitlich in lateraler Richtung p-Gebiete die n-Epitaxie-schicht begrenzen und zusätzlich zu den Anodenanschlüssen über die p-Wannengebiete auf der planaren Oberseite ein weiterer Anodenanschlußbereich der pin-Diode auf der Rückseite vorhanden ist.

21. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 20, wobei die Dotierungskonzentration im Bereich von  $10^{13}\text{cm}^{-3}$  liegt.
22. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 20, dadurch gekennzeichnet, daß sich unter den seitlich die n-Epitaxieschicht in lateraler Richtung begrenzenden p-Gebiete vergrabene  $p^+$ -Schichten befinden, die in die p-Epitaxieschicht hineingreifen.
23. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 20, dadurch gekennzeichnet, daß zumindest im Bereich der Rückseitenanode die Siliziumscheibe abgedünnt ist.
24. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 20, dadurch gekennzeichnet, daß die Anode der pin-Fotodiode ausschließlich von der Vorderseite her elektrisch kontaktiert ist.
25. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 24, wobei ein oder mehrere Anodenanschlüsse durch tiefe Grabenkontakte hergestellt sind.

- 26. Verfahren** zur Herstellung einer in BiCMOS-Technologie monolithisch integrierten vertikalen pin-Fotodiode, dadurch gekennzeichnet, daß
- (i) als Ausgangsmaterial eine  $p^+$ -Siliziumscheibe mit einer ca.  $15\mu\text{m}$  dicken  $p^-$ -Epitaxieschicht und einer Dotierungskonzentration von ca.  $10^{13}\text{cm}^{-3}$  eingesetzt wird,
  - (ii) nach der dann folgenden Implementierung der vergrabenen Schicht die standardmäßig folgende n-Epitaxieschicht mit einer Dotierungskonzentration im Bereich um  $10^{14}\text{cm}^{-3}$  abgeschieden wird,
  - (iii) danach die n- und p-Wannen und alle weiteren standardmäßig folgenden Prozeßschritte der Technologie ausgeführt werden, wobei in die n-Epitaxieschicht die  $n^+$ -Kathode der pin-Fotodiode eingebracht wird und seitlich in lateraler Richtung p-Gebiete die n-Epitaxieschicht begrenzen und zusätzlich zu den Anodenanschlüssen über die p-Wannengebiete auf der planaren Oberseite ein weiterer Anodenanschlußbereich der pin-Diode auf der Rückseite ausgebildet wird, so daß dieser bei dem nach dem Vereinzeln vorliegenden Chip für den Fall eines nicht ausreichend kleinen Serienwiderstandes durch Aufbringen des Chip mit einem leitfähigen Kleber auf den Lead-Frame oder eine leitende Fläche einer Platine kontaktierbar ist.
- 27. Verfahren** nach Anspruch 26, dadurch gekennzeichnet, daß zum Schluß die Siliziumscheibe bei vorderseitiger Schutzabdeckung rückseitig zumindest im Bereich der pin-Diode abgedünnt wird.
- 28. Verfahren** nach Anspruch 26, dadurch gekennzeichnet, daß der Anodenanschlussbereich auf der Rückseite nicht speziell ausgebildet und nicht elektrisch kontaktiert wird.

1/2

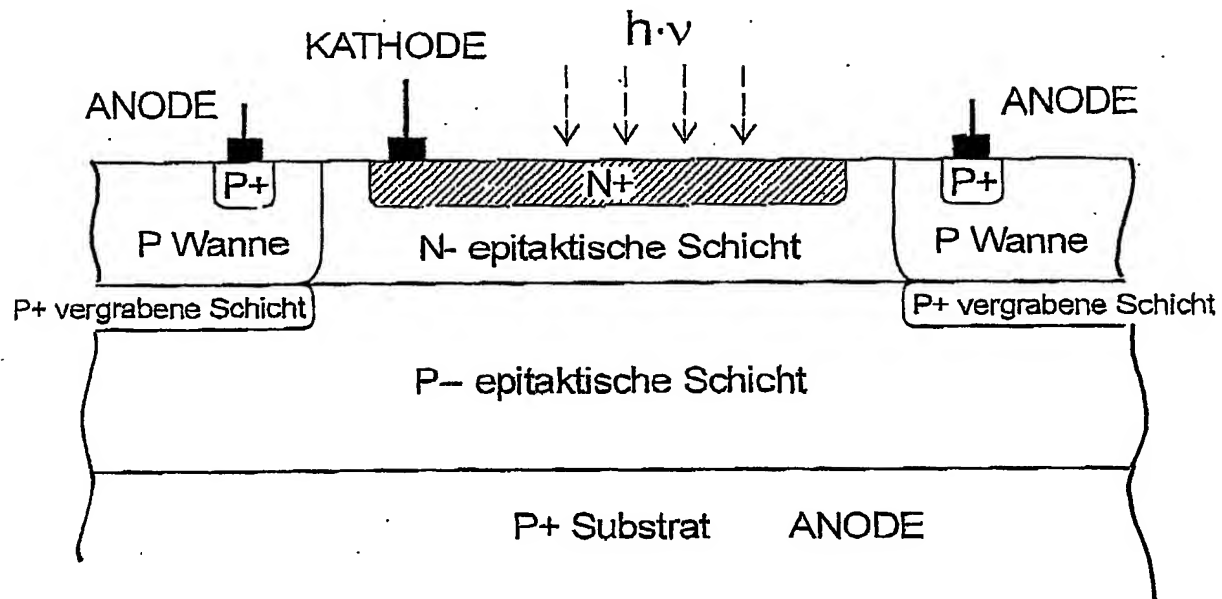


Fig. 1

Tabelle 1

	Standard Prozess		Modifizierter Prozess	
	670 nm	785 nm	670 nm	785 nm
Optische Wellenlänge $\lambda$	670 nm	785 nm	670 nm	785 nm
Quanten Wirkungsgrad $\eta$ (%)	94.3	71.3	96.5	63.4
Empfindlichkeit R (A/W)	0.508	0.450	0.520	0.400
Anstiegszeit $t_R$ (ns)	3.00	12.40	0.610	1.465
Abfallzeit $t_F$ (ns)	6.50	10.40	0.515	1.480
3dB Bandbreite BW (MHz)	79.3	30.8	625	238
Kapazität $C_D$ (fF/ $\mu\text{m}^2$ )	0.134	0.134	0.0105	0.0105

2/2

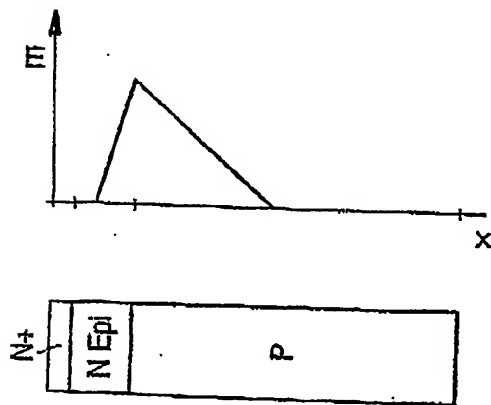
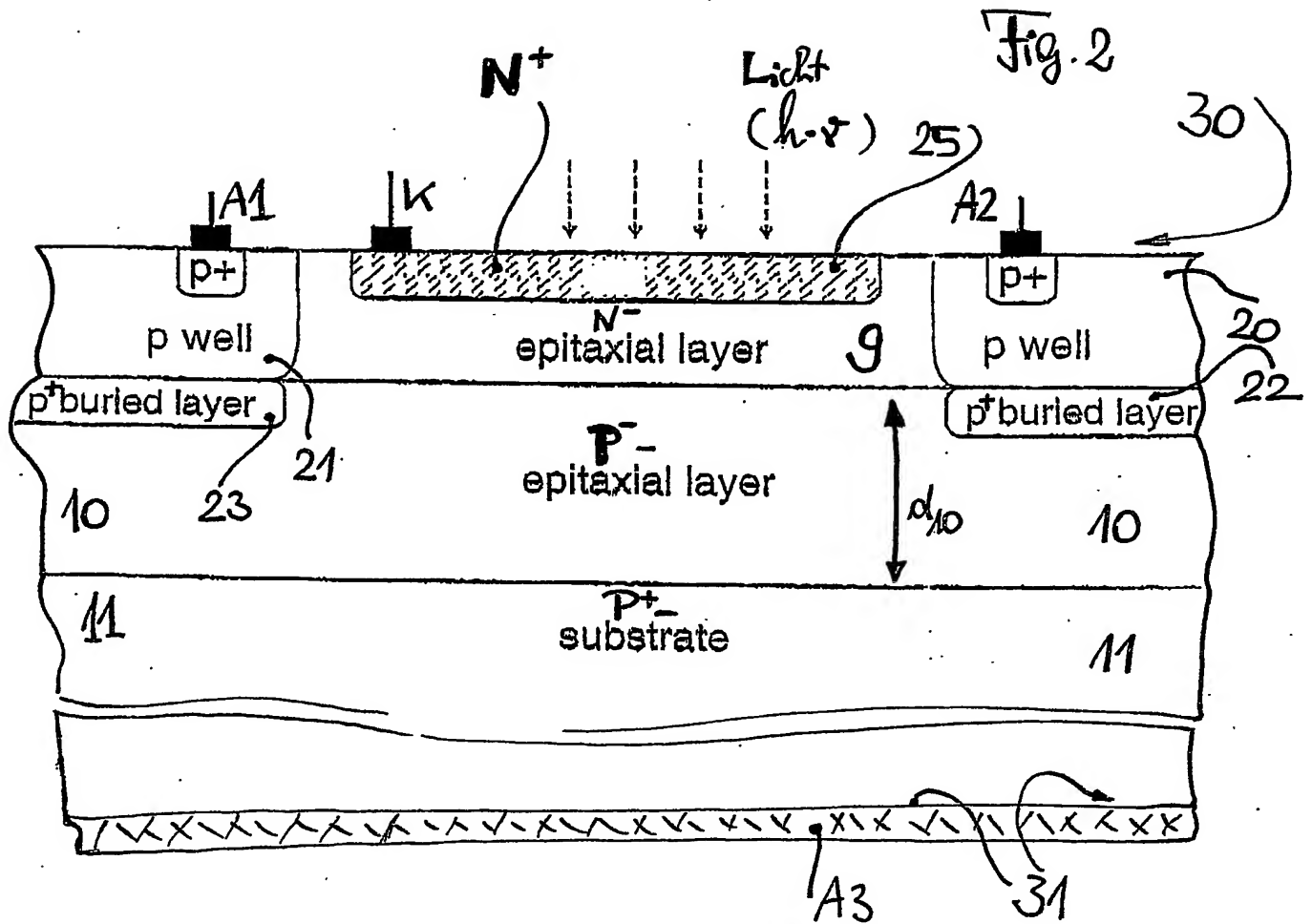


Fig. 3

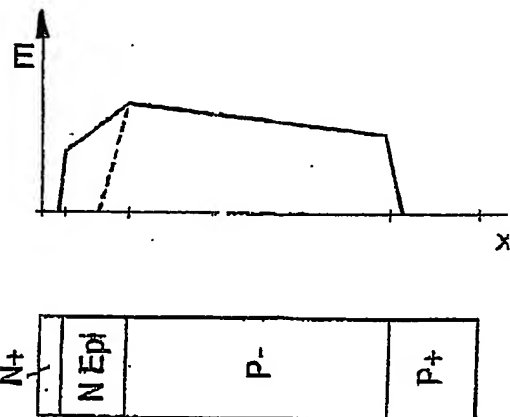


Fig. 4



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

BERICHTIGTE FASSUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
27. Mai 2004 (27.05.2004)

PCT

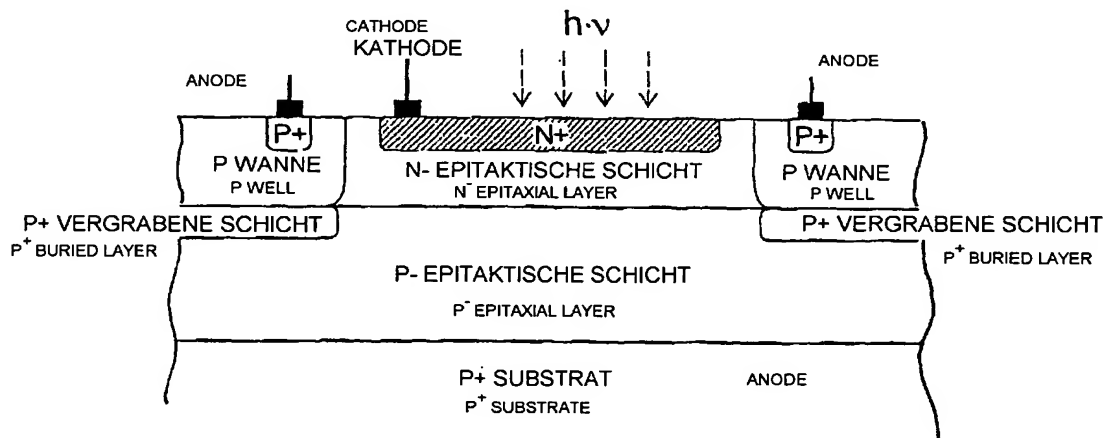
(10) Internationale Veröffentlichungsnummer  
WO 2004/044994 A2

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 31/105, 31/0352, 31/0224 (30) Angaben zur Priorität: 102 52 878.0 12. November 2002 (12.11.2002) DE
- (21) Internationales Aktenzeichen: PCT/DE2003/003739 (61) Zusatzanmeldung zu früherer Anmeldung oder früherem Patent: DE Nicht mitgeteilt (POA)
- (22) Internationales Anmeldedatum: 12. November 2003 (12.11.2003) Angemeldet am 12. November 2003 (12.11.2003)
- (25) Einreichungssprache: Deutsch (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): X-FAB SEMICONDUCTOR FOUNDRIES AG [DE/DE]; Haarbergstrasse 67, 99097 Erfurt (DE).
- (26) Veröffentlichungssprache: Deutsch

[Fortsetzung auf der nächsten Seite]

(54) Title: MONOLITHICALLY INTEGRATED VERTICAL PIN PHOTODIODE USED IN BICMOS TECHNOLOGY

(54) Bezeichnung: MONOLITHISCH INTEGRIERTE VERTIKALE PIN-FOTODIODE IN BICMOS-TECHNOLOGIE



(57) Abstract: The invention relates to a monolithically integrated vertical pin photodiode which is produced according to BiCMOS technology and comprises a planar surface (30) facing the light ( $h \cdot \nu$ ) and a rear face (31), and anode connections (A1, A2) located across p areas (20, 21) on a top face of the photodiode. An i zone of the pin photodiode is formed by combining a low doped first p- epitaxial layer (10,  $d_{10}$ ) which has a maximum thickness of essentially 15  $\mu\text{m}$  and a doping concentration of less than  $5 \cdot 10^{14} \text{ cm}^{-3}$  and is placed on a particularly high doped p substrate (10), with a low doped second n- epitaxial layer (9) that borders the first layer (10) and has a doping concentration ranging substantially between  $10^{14} \text{ cm}^{-3}$  and  $10^{15} \text{ cm}^{-3}$ , an n+ cathode (K) of the pin photodiode being integrated into said second layer (9). p areas (20, 21) delimit the second n epitaxial layer (9) in a latent direction while another anode-connecting area (A3) of the pin diode is provided on the rear face (31) in addition to the anode connections (A1, A2).

(57) Zusammenfassung: Die Erfindung betrifft eine monolithisch integrierte vertikale pin-Fotodiode, hergestellt in BiCMOS-Technologie, mit einer planaren, zum Licht ( $h\nu$ ) gewandten Oberfläche (30) und einer Rückseite (31) und mit Anodenanschlüssen (A1, A2) über p-Gebiete (20, 21) auf einer Oberseite der Fotodiode wobei eine i-Zone der pin-Fotodiode gebildet wird durch Kombination einer niedrig dotierten, bis maximal im wesentlichen 15  $\mu\text{m}$  dicken ersten p-Epitaxieschicht (10,  $d_{10}$ ) mit einer Dotierungskonzentration unter  $5 \cdot 10^{14} \text{ cm}^{-3}$ , die sich auf einem - insbesondere hoch-dotierten - p-Substrat (10) befindet, mit einer an die erste Schicht (10) angrenzenden, niedrig dotierten zweiten n-Epitaxieschicht

[Fortsetzung auf der nächsten Seite]

WO 2004/044994 A2



(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): EINBRODT, Wolfgang [DE/DE]; Hermann-Brill-Strasse 89, 99099 Erfurt (DE). ZIMMERMANN, Horst [DE/AT]; Heinrich-Collin-Strasse 29 bis 31, Stiege 3/6, A-1140 Wien (AT). FOERTSCH, Michael [AT/AT]; Linzerstrasse 192/1/7, A-1140 Wien (AT).

TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Erklärung gemäß Regel 4.17:**

— *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

(74) Anwälte: **LEONHARD**, Reimund usw.; Leonhard Olge-  
moeller Fricke, Postfach 10 09 62, 80083 München (DE).

**Veröffentlicht:**

— *ohne internationalen Recherchenbericht und erneut zu ver-  
öffentlichen nach Erhalt des Berichts*

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(48) Datum der Veröffentlichung dieser berichtigten

Fassung: 22. Juli 2004

(15) Informationen zur Berichtigung:

siehe PCT Gazette Nr. 30/2004 vom 22. Juli 2004, Sec-  
tion II

(84) Bestimmungsstaaten (regional): ARIPO Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),  
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-  
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-  
des and Abbreviations") am Anfang jeder regulären Ausgabe der  
PCT-Gazette verwiesen.*

(9) mit einer Dotierung in einem Bereich von im wesentlichen  $10^{14} \text{ cm}^{-3}$  bis  $10^{15} \text{ cm}^{-3}$ , in welche zweite Schicht (9) eine  $n^+$ -Kathode (K) der pin-Fotodiode eingebracht ist und wobei in einer lateralen Richtung p-Gebiete (20, 21) die zweite n-Epitaxieschicht (9) begrenzen und zusätzlich zu den Anodenanschlüssen (A1, A2) ein weiterer Anodenanschlussbereich (A3) der pin-Diode auf der Rückseite (31) vorhanden ist.

## Monolithisch integrierte vertikale pin-Fotodiode in BiCMOS-Technologie

---

Die Erfindung betrifft eine in BiCMOS-Technologie monolithisch integrierte verbesserte vertikale pin-Fotodiode und ein Verfahren zu ihrer Herstellung.

Diskrete pin-Fotodioden mit bis zu einigen 10µm dicker, niedrig dotierter i-Zone in Siliziumtechnologie sind Stand der Technik. Bei monolithisch auf Silizium-Chips integrierten pin-Fotodioden hingegen hat man das Problem zu lösen, daß die Dotierung des Substrats im Bereich von  $10^{15} \text{ cm}^{-3}$  und bei CMOS-Wannen und n-Kollektoren/epitaktischen Schichten bei npn-Transistoren in Bipolar- und BiCMOS-Technologie weit darüber liegt. Deshalb sind in unmodifizierten SBC-Technologie (Standard-Buried-Kollektor-Technologie) basierten Bipolar- und BiCMOS-Prozessen nur pin-Fotodioden mit dünner (ca. 1µm in moderneren Prozessen) i-Zone möglich, was zu einem niedrigen Wirkungsgrad von ca. 26% bei 650/670nm und zu einem noch niedrigeren bei größeren Wellenlängen (von ca. 10% bei 850nm) führt, wie das z.B. bei Lim et al., Digest Technical Papers ISSCC 1993, pp. 96 bis 97 und bei Kuchta et al., IBM Journal Res. Develop. 39, pp 63 bis 72, 1995 zu entnehmen ist.

Dieses Problem wurde für pin-Dioden, die in bipolaren Schaltkreisen auf Silizium-Substraten integriert sind, mit einem aufwendigen in den Prozeß zusätzlich hineingenommenen Zweischrittepitaxieverfahren gelöst, um eine 15µm dicke, niedrig dotierte i-Zone zu erzeugen, siehe Yamamoto et al., IEEE Trans. Electron Dev. 42 (1), pp. 58 bis 63, 1995. Dazu sind jedoch mindestens drei zusätzliche Maskenschritte notwendig, wodurch sich der Prozeß wesentlich verteuert. Eine andere Lösung sind sogen. laterale Trench-pin-Fotodioden, vgl. Yang et al., IEEE Elektron. Dev. Lett., pp. 395 bis 397, 2002, die jedoch einen noch höheren zusätzlichen Integrationsaufwand erfordern.

In CMOS-Technologie ist die pin-Fotodioden-Integration bereits gelöst worden, vgl. Zimmermann et al., IEEE Photonics Technology Letters 11, pp.254 bis 256. Hier wurde die i-Zone durch eine auf das  $n^+$ -Substrat aufgebrachte niedrig dotierte n-Epitaxieschicht realisiert. Ein zusätzlicher Maskenschritt war erforderlich.

Ziel der Erfindung und damit **Problemstellung** für die Erfindung ist es, in BiCMOS-Technologie integrierte vertikale Fotodioden hinsichtlich ihrer Geschwindigkeit und ihres Wirkungsgrades zu verbessern, ohne den Herstellungsaufwand (wesentlich) zu vergrößern.

Mit der Erfindung erreicht werden kann eine Verbesserung der Daten von OEIC's (optoelectronic integrated circuits), basierend auf der BiCMOS-Technologie und damit eine Erweiterung ihres Anwendungsbereichs.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß die i-Zone der pin-Diode (oder pin-Fotodiode) durch die Kombination einer mit einer niedrigen Dotierungskonzentration von insbesondere ca.  $10^{13}\text{cm}^{-3}$  versehenen bis zu ca.  $15\text{ }\mu\text{m}$  dicken p-Epitaxieschicht (bei dünnerer p-Epitaxieschicht genügt eine höhere Dotierung), die sich auf dem hochdotierten p<sup>+</sup>-Substrat befindet, mit einer an diese angrenzenden, mit bevorzugt im wesentlichen  $10^{14}\text{cm}^{-3}$  dotierten n-Epitaxieschicht, in die die n<sup>+</sup>-Kathode der pin-Fotodiode eingebracht ist, gebildet wird und seitlich in lateraler Richtung die n-Epitaxieschicht durch p-Wannen-Gebiete (p-wells) begrenzt wird und unter den p-Wannen-Gebieten befindliche vergrabene p-Schichten in die p-Epitaxieschicht hineingreifen.

Zu den Anodenanschlüssen über die zur lateralen Isolation der pin-Fotodiode verwendeten p-Wannen auf der Oberseite des Chip ist zusätzlich ein Anodenkontakt (flächig oder als Kontakt) auf der Unterseite des Chips vorgesehen. Dazu kann zumindest in diesen rückseitigen Anodenbereich das Substrat abgedünnt werden (Anspruch 3).

Auf den Rückseitenkontakt kann verzichtet werden, wenn der Serienwiderstand der Fotodiode bei auf der planaren Vorderseite - in an sich bekannter Weise - kontaktierten Anode nicht zu groß wird (Anspruch 4). So können z.B. tiefe Grabenkontakte von oben her zur Reduzierung des Serienwiderstandes angebracht werden (Anspruch 5).

Zum besseren Verständnis, wie eine solche Fotodioden-Konstruktion mit einem minimalen technologischen Zusatzaufwand in BiCMOS-Technologie realisiert werden kann, sei kurz auf die hierfür wesentlichen Teile des verwendeten BiCMOS-Standardprozesses eingegangen.

Das für den BiCMOS-Standardprozess verwendete Ausgangsmaterial ist eine p-Siliziumscheibe mit einem spezifischen elektrischen Widerstand von beispielsweise  $20\text{ }\Omega\text{cm}$ . Nach der Implementierung einer vergrabenen Schicht wird auf das Substrat eine etwa  $1\text{ }\mu\text{m}$  dicke, relativ hoch dotierte, bspw.  $10^{15}\text{cm}^{-3}$  dotierte, n-Epitaxieschicht aufgebracht. In diese werden im weiteren Prozeßverlauf n- und p-Wannen (CMOS-Wannen) als Gebiete implantiert. Die n-Wanne dient gleichzeitig zur

Erzeugung der Kollektordotierung des npn-Transistors. Die Dotierungskonzentration der n-Wanne ist höher als die der n-Epitaxieschicht.

Erfindungsgemäß wird für den Aufbau der pin-Fotodiode so vorgegangen, daß als Ausgangsmaterial eine  $p^+$ -Siliziumscheibe mit einer ca. 15  $\mu\text{m}$  dicken  $p^-$ -Epitaxieschicht und einer niederen Dotierungskonzentration von bevorzugt im wesentlichen  $10^{13}\text{cm}^{-3}$  eingesetzt wird. Die nach der Implementierung der vergrabenen Schicht standardmäßig folgende n-Epitaxieschicht wird mit einer auf in einen Bereich um  $10^{14}\text{cm}^{-3}$  herabgesetzten Dotierungskonzentration abgeschieden. Für diese beiden Prozeßmodifikationen ist keine zusätzliche Maske notwendig, da der BiCMOS-Standardprozeß die Option zum Ausblenden der n- und p-Wannen sowie der vergrabenen p-Schicht aus dem Fotodiodengebiet standardmäßig enthält.

Um einen zu hohen Serienwiderstand der pin-Fotodiode zu vermeiden, wird nicht nur die zur lateralen Isolation der pin-Fotodiode verwendete p-Wanne als Anodenanschluß verwendet, sondern zusätzlich ein Rückseitenkontakt auf der Unterseite des ggf. zumindest in diesem Bereich abgedünnten Substrats. Es genügt z.B. das Aufbringen des abgedünnten Chip mit einem leitfähigen Kleber auf einen Lead-Frame oder eine leitende Fläche einer Platine.

Die Erfindung wird verdeutlicht anhand schematischer Zeichnungen in Ausführungsbeispielen.

Fig. 1 verdeutlicht in einem Ausführungsbeispiel einen Aufbau einer pin-Diode.

Tab. 1 zeigt Meßergebnisse und einen Vergleich.

Fig. 2 verdeutlicht in einem zweiten Ausführungsbeispiel einen Aufbau einer pin-Fotodiode.

Fig. 3 stellt den Verlauf des elektrischen Feldes dar, wie er sich beim bisherigen BiCMOS-Standardprozeß für das pin-Diodengebiet ergibt.

Fig. 4 zeigt den Verlauf des elektrischen Feldes wie er sich für das pin-Diodengebiet beim Aufbau nach Figur 1 oder Figur 2 einstellt (durchgezogene Linie) und für den Fall, daß die Dotierungskonzentration in der n-Epitaxieschicht 9 nicht auf einen Betrag von im wesentlichen  $10^{14} \text{ cm}^{-3}$  bis  $10^{15} \text{ cm}^{-3}$  herabgesetzt ist (gestrichelte Linie). Daraus geht hervor, daß die p-Epitaxieschicht 10 allein das Problem nicht löst.

In Tabelle 1 sind die Meßergebnisse von im unmodifizierten und im modifizierten BiCMOS-Prozess implementierten Fotodioden aufgelistet. Es ist ersichtlich, daß mit den erfindungsgemäßen Modifikationen für eine Wellenlänge von 670 nm eine integrierte Fotodiode mit einem Quantenwirkungsgrad von über 95% erzielbar ist, deren geringe Anstiegs- und Abfallzeiten eine verarbeitbare Bitrate von bis zu 1 Gbit/s erlauben. Eine niedrige Sperrschichtkapazität  $C_D$  macht vergrößerte Fotodiodenflächen möglich, was ein weiterer Vorteil ist.

Figur 1 veranschaulicht das Ausführungsbeispiel nach dem Verständnis der Ansprüche 16 bis 21, unter Berücksichtigung der zugehörigen Erläuterungen auf den Seiten 2 und 3.

In einem weiteren Ausführungsbeispiel nach Figur 2 werden vorhandene Schichten und Aufbauten eingehender erläutert. Die Figur 2 veranschaulicht eine vertikale Struktur einer pin-Fotodiode. Die intrinsische I-Zone wird durch zwei jeweils niedrig dotierte, epitaktische aufgebrachte Schichten 9, 10 gebildet. Die auf das Substrat 11 folgende Schicht ist vom P-Typ. Die nochmals folgende Schicht ist vom N-Typ. Um einen solchen Aufbau zu erzielen, wird ein standardmäßiger BiCMOS-Prozess mit Modifikationen verwendet.

Üblicherweise wird für den Standard-Prozess ein Ausgangsmaterial eingesetzt, das von einem P-Typ Wafer ausgeht, mit einem spezifischen Widerstand von ca. 20  $\Omega\text{cm}$ . Statt dieses Typs wird hier ein modifizierter, aber auch käuflicher Wafer verwendet, der eine epitaktisch aufgebrachte, niedrig dotierte P-Schicht, beispielsweise von einer Dicke von 15  $\mu\text{m}$  aufweist, wobei die Dotierung im Beispiel bei  $10^{13} \text{ cm}^{-3}$  liegen kann. Die ist die Schicht 10.

Im Standardprozess wird nach der Implementierung vergrabener Schichten 23, 22 auf das Substrat eine zum Beispiel etwa 1  $\mu\text{m}$  Dicke, relativ hoch dotierte N-Schicht aufgebracht. Diese epitaktische Schicht 9 kann in einem Bereich von  $10^{15} \text{ cm}^{-3}$  dotiert sein. Es werden dann im weiteren Prozessverlauf N-Typ und P-Typ Wannen implantiert, wie bei einem BiCMOS-Verfahren.

Die N-Zone 25 (das  $n^+$ Gebiet) dient gleichzeitig der Erzeugung der Kollektordotierung und dem Anschluß einer Kathode K. Die Dotierung der P-Wannen greift in die N-Schicht 9 ein und reicht bis zu den vergrabenen Schichten 23, 22. Die P-Wannen 20, 21 tragen P-Dotierungszonen zur Aufnahme der Anoden A1, A2.

Auf der Oberseite der so ausgebildeten Siliziumscheibe, welche Oberseite oder Lichtseite 30 benannt ist, sind die Anode A1, A2 und der Kathoden sowie die Licht aufnehmende Kollektorzone 25 (als  $n^+$ Gebiet) vorgesehen. Diese Oberseite kann im wesentlichen gerade oder eben (planar) verlaufen.

Auf der anderen Seite der Oberseite ist eine Unterseite oder Gegenseite 31 gebildet, welche dem Substrat 11 nachfolgt. Diese Rückseite ist auch mit einer Anode A3 belegt, welche als Flächenanode oder als lokal begrenzte Anode ausgebildet sein kann. Sie wird als Rückseitenanode bezeichnet und bildet einen Anoden-Anschlußbereich der pin-Diode auf der Rückseite 31, welche Anode zusätzlich zu den Anoden A1, A2 auf der Lichtseite (Oberseite) hinzukommt.

Die epitaktische Schicht 9 wird randseitig (lateral bzw. seitlich) von P-Gebieten 20, 21 begrenzt, welche im vertikalen Schnitt dargestellt sind.

Strukturell kann der Bereich der Rückseitenanode höher bzw. tiefer gelegt werden, was durch ein nicht dargestelltes Abdünnen oder Reduzieren der Dicke der Siliziumscheibe erfolgt.

Die Anschluß-Kontaktierung erfolgt bevorzugt nur von der Oberseite 30 her, und zwar hinsichtlich aller dargestellter Anoden A1, A2 und A3.

Es können Grabenkontakte vorgesehen sein, um einen oder mehrere Anodenanschlüsse durch diese Grabenkontakte, insbesondere relativ tiefe Grabenkontakte herzustellen. Diese Graben sind nicht gesondert dargestellt.

Unter den Begriffen hoch- bzw. niedrig-dotiert wird hinsichtlich der aufgewachsenen Epitaxieschicht 9 eine Dotierung von etwa  $10^{14} \text{ cm}^{-3}$  verstanden. Die Dotierung der ersten Epitaxieschicht 10, welche auf das Substrat 11 aufgewachsen ist oder dort schon vorhanden ist, hat eine bevorzugt niedrige Dotierungskonzentration im Bereich von  $10^{13} \text{ cm}^{-3}$ .

Wenn die Dotierungskonzentration der obersten Schicht 9 abgesenkt wird, erhält man eine schnelle pin-Fotodiode, was sich durch die in der Tabelle 1 gezeigten geringen Anstiegs- und Abfallzeiten manifestiert. Der Transistor merkt nicht viel von dieser Absenkung der Dotierungskonzentration, d.h. die Transitzeit und der Stromverstärkungs-Faktor werden nur gering oder kaum verändert.

Die zwei Modifikationen zum Standard-Herstellungsprozess eines BiCMOS-Verfahrens liegen darin, dass ein P-Wafer mit einer epitaktisch aufgebracht, niedrig dotierten P-Schicht als Ausgangsstoff verwendet wird. Diese epitaktische Schicht ist niedrig dotiert. Die zweite Modifikation besteht darin, die Dotierungskonzentration der darauf aufgebracht weiteren epitaktischen Schicht, hier der N-Schicht 9 ebenfalls niedrig zu gestalten. Für beide Prozessmodifikationen ist gegenüber einem Standardprozess keine zusätzliche Maske notwendig.

Das Herstellverfahren ist somit bereits vollumfänglich beschrieben, mit Bezug auf standardmäßige BiCMOS Herstellungen und zugehörige Abweichungen, im Umfang der oben angegebenen Beschreibung. Das Herstellverfahren soll dennoch zusammengefasst werden. Beispielsweise die Fotodiode nach Figur 2 oder eine solche nach Figur 1 wird hergestellt durch ein Ausgangsmaterial, das eine



P-Siliziumscheibe ist, mit einer im wesentlichen maximal 15 µm epitaktisch aufgewachsenen Schicht 10. Diese hat eine Dotierung im vorgenannten Umfang, welche als niedrig bezeichnet werden kann. Es folgt eine standardmäßig verwendete N- Epitaxieschicht 9, welche aufgewachsen wird. Ihrer Dotierungskonzentration wird jedoch niedrig gehalten, im Bereich um  $10^{14} \text{ cm}^{-3}$ . Diesem Aufwachsen der genannten epitaktischen Schicht 9 war oder ist vorgelagert eine Implementierung von vergrabenen Schichten 22, 23.

Es werden anschließend die n- und p-Wannen eingebracht, um die Anoden kontaktieren zu können. Es werden auch alle weiteren standardmäßig erfolgenden Prozeßschritte der genannten Technologie ausgeführt. Dabei wird in die n-Epitaxieschicht 9 ein n<sup>+</sup>-Gebiet 25 eingebracht, welches der Kontaktierung der Kathode K dient. Dieses Gebiet ist in Figur 2 mit 25 bezeichnet und ist der Lichtseite zugewandt, ist also die Licht aufnehmende, bzw. Oberseite 30. Seitlich, lateral, wird dieses Gebiet durch ein p-Gebiet 20, 21 begrenzt, welche um das Kathodengebiet 25 herum in die Epitaxieschicht 9 eingebracht ist und vertikal bevorzugt bis zur vergrabenen Schicht 23, 22 reicht.

Zusätzlich zu den genannten Anoden A1, A2, die in die P-Wannen eingebracht werden, wird eine weitere Anode A3 auf der Rückseite 31 aufgebracht.

In einem Herstellverfahren kann nach einem nicht dargestellten Vereinzeln der vorliegenden Chips, welche im vorgenannten Verfahren entstanden sind, ein leitfähiger Kleber aufgetragen werden, um diese Chips auf einem Lead-Frame zu befestigen. Sie können auch auf eine leitende Fläche einer Platine elektrisch kontaktierend befestigt werden. Diese erfolgt dann, wenn ein nicht ausreichend kleiner Serienwiderstand auf dem Chip vorliegt.

Vorderseitig kann eine Schutzabdeckung der Siliziumscheibe verwendet werden, während oder bevor eine Abdünnung auf der Rückseite 31 erfolgt, zumindest im Bereich der in Figur 2 dargestellten pin-Fotodiode des Siliziumkristalls. Das Ausdünnen kann durch ein Schleifen oder Polieren geschehen.

Eine andere Alternative ist es, den Anoden-Anschlußbereich (die Rückseitenanode A3) nicht speziell auszubilden und demzufolge auch nicht elektrisch zu kontaktieren. Die Anschlüsse der Anode erfolgen dann über die Anoden A1, A2 auf der Oberseite (Lichtseite).

**Patentansprüche:**

1. **Monolithisch integriert v rtilkal pin-F todiod**, hergestellt in BiCMOS-Technologie, mit einer im wesentlichen planaren, zum Licht (h-v) gewandten Oberfläche (30) und einer Rückseite (31) und mit Anodenanschlüssen (A1, A2) über p-Gebiete (20,21) auf einer Oberseite der Fotodiode, wobei eine i-Zone der pin-Fotodiode gebildet wird durch
  - (a) **Kombination** einer niedrig dotierten, bis maximal im wesentlichen 15µm dicken ersten p<sup>-</sup>-Epitaxieschicht (10,d<sub>10</sub>) mit einer Dotierungskonzentration unter  $5 \cdot 10^{14} \text{ cm}^{-3}$ , die sich auf einem - insbesondere hoch-dotierten - p-Substrat (11) befindet;
  - (b) mit einer an die erste Schicht (10) angrenzenden, niedrig dotierten zweiten n<sup>-</sup>-Epitaxieschicht (9) mit einer Dotierung in einem Bereich von im wesentlichen  $10^{14} \text{ cm}^{-3}$  bis  $10^{15} \text{ cm}^{-3}$ , in welche zweite Schicht (9) eine n<sup>+</sup>-Kathode (K) der pin-Fotodiode eingebracht ist;wobei in einer lateralen Richtung p-Gebiete (20,21) die zweite n-Epitaxieschicht (9) begrenzen und zusätzlich zu den Anodenanschlüssen (A1,A2) ein weiterer Anodenanschlußbereich (A3) der pin-Diode auf der Rückseite (31) vorhanden ist.
2. Pin-Fotodiode nach Anspruch 1, wobei sich unter den - die zweite n-Epitaxieschicht (9) in lateraler Richtung begrenzenden - p-Gebieten (20,21) vergrabene p<sup>+</sup>-Schichten (22,23) befinden, die in die erste p-Epitaxieschicht (10) hineinreichen.
3. Pin-Fotodiode nach Anspruch 1, wobei zumindest im Bereich des weiteren Anodenanschlussbereichs als Rückseitenanode (A3,31) eine die Fotodiode tragende Siliziumscheibe abgedünnt ist.
4. Pin-Fotodiode nach Anspruch 1 oder 3, wobei die Anoden der pin-Fotodiode ausschließlich von der Vorderseite (30) her elektrisch kontaktiert ist bzw. sind.
5. Pin-Fotodiode nach Anspruch 4, wobei ein oder mehrere Anodenanschlüsse durch tiefe Grabenkontakte hergestellt sind.
6. Pin-Fotodiode nach Anspruch 1, wobei die niedrig dotierte n<sup>-</sup>-Epitaxieschicht (9) eine Dotierung um im wesentlichen  $10^{14} \text{ cm}^{-3}$  besitzt.

7. Pin-Fotodiode nach Anspruch 1, wobei die Dotierungskonzentration der ersten Epitaxieschicht (10) im wesentlichen  $10^{+13} \text{ cm}^{-3}$  ist.
8. Pin-Fotodiode nach Anspruch 1, wobei die p-Gebiete (20,21) in einem vertikalen Schnitt als p-Wannen ausgestaltet sind.
9. Pin-Fotodiode nach Anspruch 8, wobei die Wannen bis an die erste Schicht (10) heranreichen, insbesondere unmittelbar an die vergrabene Schicht (23;22).
10. Pin-Fotodiode nach Anspruch 1, wobei eine Dotierung der zweiten Schicht (9) geringer ist als eine Dotierung eines n-Gebiets (25) in der zweiten Schicht, welches Gebiet (25) die Kollektordotierung bildet, zum Anschluss einer Kathode (K).
11. Pin-Fotodiode nach Anspruch 1, wobei innerhalb und beabstandet von den p-Gebieten (20,21) ein Kathodengebiet (K,25) vorgesehen ist.

...

12. **Verfahren** zur Herstellung einer monolithisch integrierten vertikalen pin-Fotodiode, in BiCMOS-Technologie, wobei
- (i) als Ausgangsmaterial eine  $p^+$ -Siliziumscheibe (11) mit einer maximal im wesentlichen  $15\mu\text{m}$  dicken  $p^-$ -Epitaxieschicht (10) und einer Dotierungskonzentration von  $\text{ca. } 10^{13}\text{cm}^{-3}$  dient;
  - (ii) nach einer folgenden Implementierung einer vergrabenen Schicht (22,23) eine (standardmäßig) folgende  $n$ -Epitaxieschicht (9) mit einer Dotierungskonzentration im Bereich um  $10^{14}\text{cm}^{-3}$  abgeschieden oder eingebracht wird;
  - (iii) danach  $n$ - und  $p$ -Wannen (20,21,25) und weitere standardmäßig folgende Prozessschritte der Technologie ausgeführt werden, wobei in die  $n^-$ -Epitaxieschicht (9) eine  $n^+$ -Kathode der pin-Fotodiode eingebracht wird und (seitlich) in lateraler Richtung  $p$ -Gebiete (20,21) die  $n$ -Epitaxieschicht (9) begrenzen und zusätzlich zu (den) Anodenanschlüssen (A1,A2) über die  $p$ -Gebiete (20,21) der planaren Oberseite (30) ein weiterer Anodenanschlussbereich (A3) auf der Rückseite (31) ausgebildet wird.
13. Verfahren nach Anspruch 12, wobei zum Schluss die Siliziumscheibe bei vorderseitiger Schutzabdeckung rückseitig zumindest im Bereich der pin-Diode abgedünnt wird.
14. Verfahren nach Anspruch 12, wobei der Anodenanschlussbereich auf der Rückseite nicht speziell ausgebildet und nicht elektrisch kontaktiert wird.
15. Verfahren nach Anspruch 12, wobei die Rückseitenanode (A3) des nach einem Vereinzeln vorliegenden Chips für den Fall eines nicht ausreichend kleinen Serienwiderstandes durch Aufbringen des Chip mit einem leitfähigen Kleber auf einen Lead-Frame oder eine leitende Fläche einer Platine elektrisch kontaktierbar ist bzw. wird.

16. In BiCMOS-Technologie monolithisch integriert vertikale pin-Fotodiode, dadurch gekennzeichnet, daß eine i-Zone der pin-Diode durch die Kombination einer niedrig dotierten bis zu im wesentlichen 15µm dicken p<sup>-</sup>-Epitaxieschicht einer Dotierungskonzentration von unter  $5 \cdot 10^{14} \text{cm}^{-3}$ , die sich auf einem hochdotierten p<sup>+</sup>-Substrat befindet, mit einer an diese angrenzenden niedrig dotierten n<sup>-</sup>-Epitaxieschicht im Dotierungsbereich um  $10^{14} \text{cm}^{-3}$ , (Dotierungsbereich von  $\leq 10^{14} \text{cm}^{-3}$  bis  $< 10^{15} \text{cm}^{-3}$ ), in die die n<sup>+</sup>-Kathode der pin-Fotodiode eingebracht ist, gebildet wird, wobei seitlich in lateraler Richtung p-Gebiete die n-Epitaxieschicht begrenzen und zusätzlich zu den Anodenanschlüssen über die p-Wannengebiete auf der planaren Oberseite ein weiterer Anodenanschlußbereich der pin-Diode auf der Rückseite vorhanden ist.

17. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 16, wobei die Dotierungskonzentration im Bereich von  $10^{13} \text{cm}^{-3}$  liegt.

18. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 16, dadurch gekennzeichnet, daß sich unter den seitlich die n-Epitaxieschicht in lateraler Richtung begrenzenden p-Gebiete vergrabene p<sup>+</sup>-Schichten befinden, die in die p-Epitaxieschicht hineingreifen.

19. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 16, dadurch gekennzeichnet, daß zumindest im Bereich der Rückseitenanode die Siliziumscheibe abgedünnt ist.

20. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 16, dadurch gekennzeichnet, daß die Anode der pin-Fotodiode ausschließlich von der Vorderseite her elektrisch kontaktiert ist.

21. Monolithisch integrierte vertikale pin-Fotodiode nach Anspruch 20, wobei ein oder mehrere Anodenanschlüsse durch tiefe Grabenkontakte hergestellt sind.

**22** Verfahren zur Herstellung einer in BiCMOS-Technologie monolithisch integrierten vertikalen pin-Fotodiode, dadurch gekennzeichnet, daß

- (i) als Ausgangsmaterial eine  $p^+$ -Siliziumscheibe mit einer ca.  $15\mu\text{m}$  dicken  $p^-$ -Epitaxieschicht und einer Dotierungskonzentration von ca.  $10^{13}\text{cm}^{-3}$  eingesetzt wird,
- (ii) nach der dann folgenden Implementierung der vergrabenen Schicht die standardmäßig folgende n-Epitaxieschicht mit einer Dotierungskonzentration im Bereich um  $10^{14}\text{cm}^{-3}$  abgeschieden wird,
- (iii) danach die n- und p-Wannen und alle weiteren standardmäßig folgenden Prozeßschritte der Technologie ausgeführt werden, wobei in die n-Epitaxieschicht die  $n^+$ -Kathode der pin-Fotodiode eingebracht wird und seitlich in lateraler Richtung p-Gebiete die n-Epitaxieschicht begrenzen und zusätzlich zu den Anodenanschlüssen über die p-Wannengebiete auf der planaren Oberseite ein weiterer Anodenanschlußbereich der pin-Diode auf der Rückseite ausgebildet wird, so daß dieser bei dem nach dem Vereinzeln vorliegenden Chip für den Fall eines nicht ausreichend kleinen Serienwiderstandes durch Aufbringen des Chip mit einem leitfähigen Kleber auf den Lead-Frame oder eine leitende Fläche einer Platine kontaktierbar ist.

**23** Verfahren nach Anspruch **22** dadurch gekennzeichnet, daß zum Schluß die Siliziumscheibe bei vorderseitiger Schutzabdeckung rückseitig zumindest im Bereich der pin-Diode abgedünnt wird.

**24** Verfahren nach Anspruch **22** dadurch gekennzeichnet, daß der Anodenanschlußbereich auf der Rückseite nicht speziell ausgebildet und nicht elektrisch kontaktiert wird.

\*\*\* \*\*

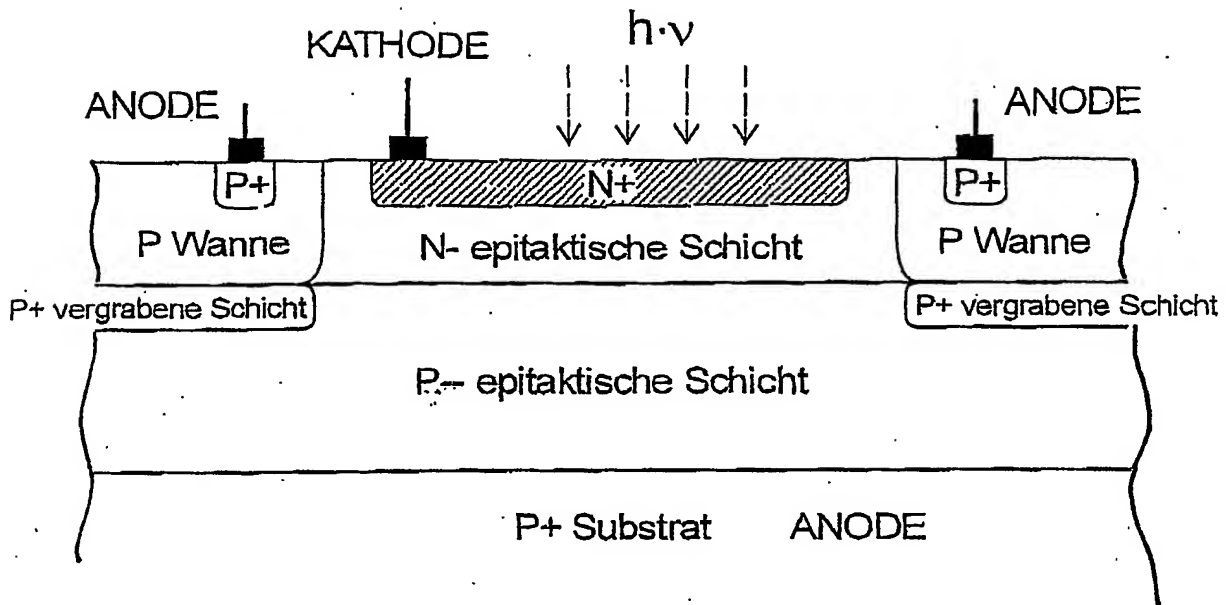


Fig. 1

Tabelle 1

	Standard Prozess		Modifizierter Prozess	
	670 nm	785 nm	670 nm	785 nm
Optische Wellenlänge $\lambda$	670 nm	785 nm	670 nm	785 nm
Quanten Wirkungsgrad $\eta$ (%)	94.3	71.3	96.5	63.4
Empfindlichkeit R (A/W)	0.508	0.450	0.520	0.400
Anstiegszeit $t_R$ (ns)	3.00	12.40	0.610	1.465
Abfallzeit $t_F$ (ns)	6.50	10.40	0.515	1.480
3dB Bandbreite BW (MHz)	79.3	30.8	625	238
Kapazität $C_D$ (fF/ $\mu\text{m}^2$ )	0.134	0.134	0.0105	0.0105

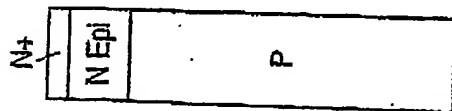
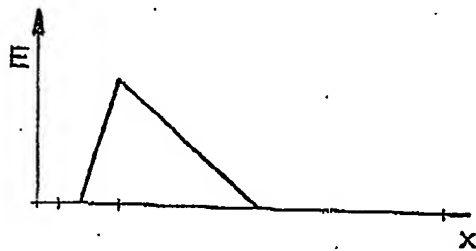
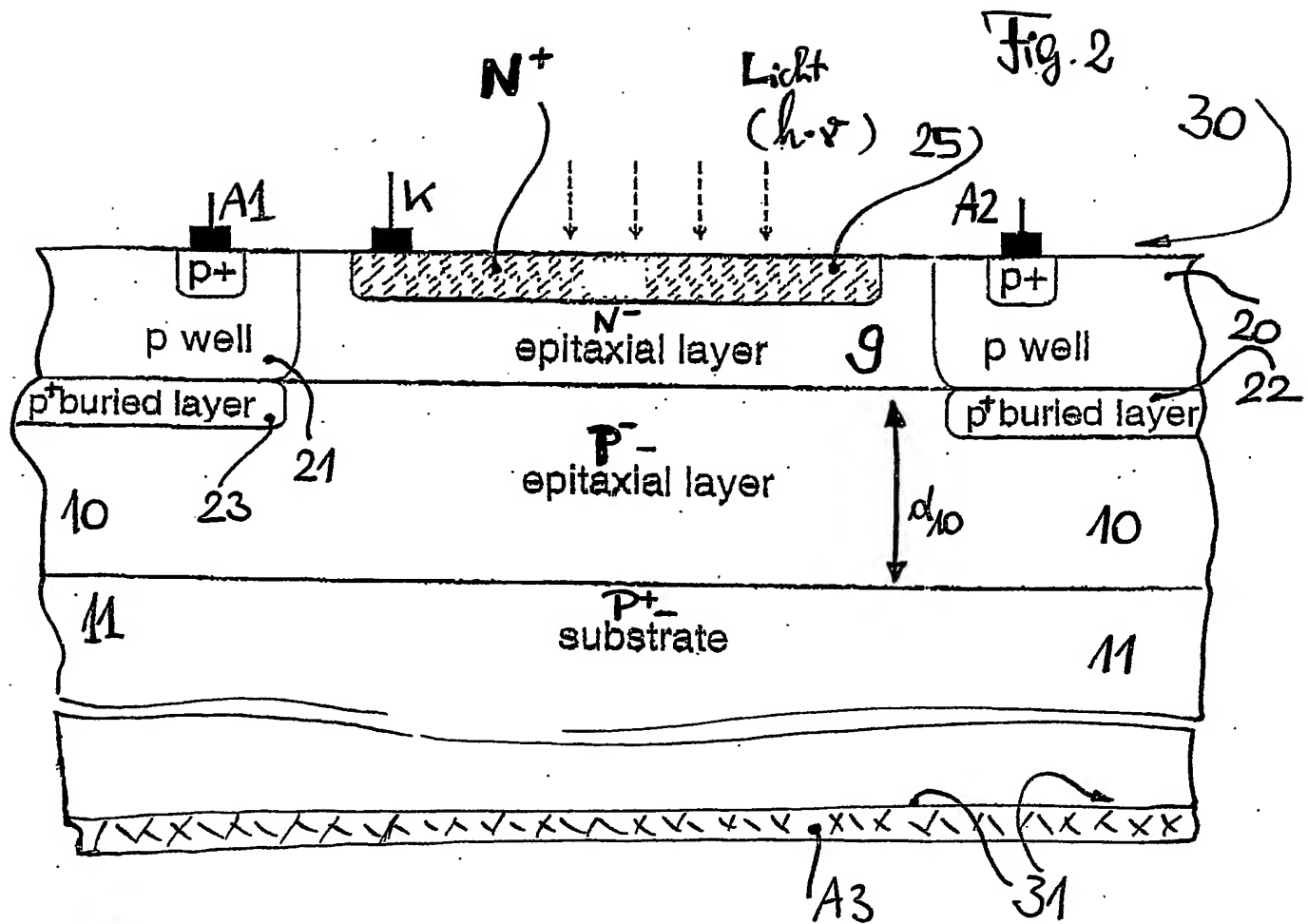


Fig. 3

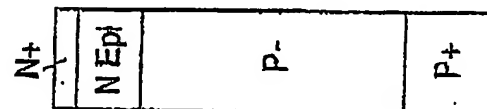
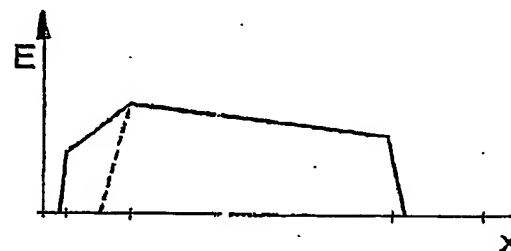


Fig. 4



INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 03/03739

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L31/105 H01L31/0352 H01L31/0224

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KYOMASU M: "DEVELOPMENT OF AN INTEGRATED HIGH SPEED SILICON PIN PHOTODIODE SENSOR" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, vol. 42, no. 6, 1 June 1995 (1995-06-01), pages 1093-1099, XP000517156 ISSN: 0018-9383 page 1093 - page 1095; figures 1,2	1,4,5, 7-9,11, 12, 14-17, 20-22,24
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 10, 31 October 1997 (1997-10-31) & JP 09 148617 A (SANYO ELECTRIC CO LTD), 6 June 1997 (1997-06-06) abstract	1,2, 8-12,15, 16,18,22
	----- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the international search

9 February 2005

Date of mailing of the international search report

16/02/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Visentin, A

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/03739

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>ZIMMERMANN H ED - INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "Monolithic bipolar-, CMOS-, and BiCMOS-receiver OEICs"</p> <p>1996 INTERNATIONAL SEMICONDUCTOR CONFERENCE. SINAIA, ROMANIA, OCT. 9 - 12, 1996, INTERNATIONAL SEMICONDUCTOR CONFERENCE, NEW YORK, IEEE, US, vol. VOL. 2 CONF. 19, 9 October 1996 (1996-10-09), pages 31-40, XP010200521</p> <p>ISBN: 0-7803-3223-7</p> <p>the whole document</p>	<p>1,4,5, 7-9,11, 12, 14-17, 20-22,24</p>
A	<p>HOHENBILD M ET AL: "Advanced photodiodes and circuits for OPTO-ASICs"</p> <p>2001 INTERNATIONAL SYMPOSIUM ON ELECTRON DEVICES FOR MICROWAVE AND OPTOELECTRONIC APPLICATIONS. EDMO 2001 15-16 NOV. 2001, VIENNA, AUSTRIA, 15 November 2001 (2001-11-15), pages 255-260, XP010570429</p> <p>the whole document</p>	<p>1,4,11, 12, 14-16, 20-22,24</p>
A	<p>PATENT ABSTRACTS OF JAPAN</p> <p>vol. 012, no. 447 (E-685), 24 November 1988 (1988-11-24) &amp; JP 63 174358 A (HITACHI LTD), 18 July 1988 (1988-07-18) abstract</p>	<p>1,12,16, 22</p>
A	<p>US 4 616 247 A (CHANG ET AL) 7 October 1986 (1986-10-07)</p> <p>the whole document</p>	<p>1,5, 10-12, 15,16, 21,22</p>
P,X	<p>FORTSCH M ET AL: "220 MHz optical receiver with large-area integrated PIN photodiode"</p> <p>PROCEEDINGS OF IEEE SENSORS 2003. 2ND. IEEE INTERNATIONAL CONFERENCE ON SENSORS. TORONTO, CANADA, OCT. 22 - 24, 2003, IEEE INTERNATIONAL CONFERENCE ON SENSORS, NEW YORK, NY : IEEE, US, vol. VOL. 2 OF 2. CONF. 2, 22 October 2003 (2003-10-22), pages 1012-1015Vol12, XP010691061</p> <p>ISBN: 0-7803-8133-5</p> <p>the whole document</p>	<p>1,2,4-6, 8-12,14, 16,18, 20-22,24</p>

-/--

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/03739

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	<p>FORTSCH M ET AL: "Integrated PIN photodiodes in high-performance BiCMOS technology"</p> <p>INTERNATIONAL ELECTRON DEVICES MEETING 2002. IEDM. TECHNICAL DIGEST. SAN FRANCISCO, CA, DEC. 8 - 11, 2002, NEW YORK, NY : IEEE, US, 8 December 2002 (2002-12-08), pages 801-804, XP010626161</p> <p>ISBN: 0-7803-7462-2</p> <p>the whole document</p>	<p>1,2,4-6, 8-12,14, 16,18, 20-22,24</p>

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/03739

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 09148617	A	06-06-1997	JP 3208307 B2	10-09-2001
JP 63174358	A	18-07-1988	NONE	
US 4616247	A	07-10-1986	CA 1233549 A1	01-03-1988
			EP 0142316 A2	22-05-1985
			EP 0163720 A1	11-12-1985
			JP 61500396 T	06-03-1986
			WO 8502296 A1	23-05-1985

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/03739

A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L31/105 H01L31/0352 H01L31/0224

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, WPI Data, INSPEC

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	KYOMASU M: "DEVELOPMENT OF AN INTEGRATED HIGH SPEED SILICON PIN PHOTODIODE SENSOR" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, Bd. 42, Nr. 6, 1. Juni 1995 (1995-06-01), Seiten 1093-1099, XP000517156 ISSN: 0018-9383 Seite 1093 - Seite 1095; Abbildungen 1,2	1,4,5, 7-9,11, 12, 14-17, 20-22,24
A	PATENT ABSTRACTS OF JAPAN Bd. 1997, Nr. 10, 31. Oktober 1997 (1997-10-31) & JP 09 148617 A (SANYO ELECTRIC CO LTD), 6. Juni 1997 (1997-06-06) Zusammenfassung	1,2, 8-12,15, 16,18,22

-/-

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*&amp;\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

9. Februar 2005

Absenddatum des internationalen Recherchenberichts

16/02/2005

Name und Postanschrift der internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel (+31-70) 340-2040, Tx 31 651 epo nl,  
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Visentin, A

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/03739

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>ZIMMERMANN H ED - INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "Monolithic bipolar-, CMOS-, and BiCMOS-receiver OEICs"</p> <p>1996 INTERNATIONAL SEMICONDUCTOR CONFERENCE. SINAIA, ROMANIA, OCT. 9 - 12, 1996, INTERNATIONAL SEMICONDUCTOR CONFERENCE, NEW YORK, IEEE, US, Bd. VOL. 2 CONF. 19, 9. Oktober 1996 (1996-10-09), Seiten 31-40, XP010200521</p> <p>ISBN: 0-7803-3223-7</p> <p>das ganze Dokument</p>	<p>1,4,5, 7-9,11, 12, 14-17, 20-22,24</p>
A	<p>HOHENBILD M ET AL: "Advanced photodiodes and circuits for OPTO-ASICs"</p> <p>2001 INTERNATIONAL SYMPOSIUM ON ELECTRON DEVICES FOR MICROWAVE AND OPTOELECTRONIC APPLICATIONS. EDMO 2001 15-16 NOV. 2001, VIENNA, AUSTRIA, 15. November 2001 (2001-11-15), Seiten 255-260, XP010570429</p> <p>das ganze Dokument</p>	<p>1,4,11, 12, 14-16, 20-22,24</p>
A	<p>PATENT ABSTRACTS OF JAPAN</p> <p>Bd. 012, Nr. 447 (E-685), 24. November 1988 (1988-11-24) &amp; JP 63 174358 A (HITACHI LTD), 18. Juli 1988 (1988-07-18)</p> <p>Zusammenfassung</p>	<p>1,12,16, 22</p>
A	<p>US 4 616 247 A (CHANG ET AL)</p> <p>7. Oktober 1986 (1986-10-07)</p> <p>das ganze Dokument</p>	<p>1,5, 10-12, 15,16, 21,22</p>
P,X	<p>FORTSCH M ET AL: "220 MHz optical receiver with large-area integrated PIN photodiode"</p> <p>PROCEEDINGS OF IEEE SENSORS 2003. 2ND. IEEE INTERNATIONAL CONFERENCE ON SENSORS. TORONTO, CANADA, OCT. 22 - 24, 2003, IEEE INTERNATIONAL CONFERENCE ON SENSORS, NEW YORK, NY : IEEE, US, Bd. VOL. 2 OF 2. CONF. 2, 22. Oktober 2003 (2003-10-22), Seiten 1012-1015Vo12, XP010691061</p> <p>ISBN: 0-7803-8133-5</p> <p>das ganze Dokument</p>	<p>1,2,4-6, 8-12,14, 16,18, 20-22,24</p>

-/--

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/03739

## C (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P, X	<p>FORTSCH M ET AL: "Integrated PIN photodiodes in high-performance BiCMOS technology"</p> <p>INTERNATIONAL ELECTRON DEVICES MEETING 2002. IEDM. TECHNICAL DIGEST. SAN FRANCISCO, CA, DEC. 8 - 11, 2002, NEW YORK, NY : IEEE, US.</p> <p>8. Dezember 2002 (2002-12-08), Seiten 801-804, XP010626161</p> <p>ISBN: 0-7803-7462-2</p> <p>das ganze Dokument</p> <p>-----</p>	<p>1, 2, 4-6,</p> <p>8-12, 14,</p> <p>16, 18,</p> <p>20-22, 24</p>

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 03/03739

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 09148617 A	06-06-1997	JP 3208307 B2	10-09-2001
JP 63174358 A	18-07-1988	KEINE	
US 4616247 A	07-10-1986	CA 1233549 A1	01-03-1988
		EP 0142316 A2	22-05-1985
		EP 0163720 A1	11-12-1985
		JP 61500396 T	06-03-1986
		WO 8502296 A1	23-05-1985